

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2005-520191

(P2005-520191A)

(43) 公表日 平成17年7月7日 (2005.7.7)

(51) Int. Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09G 3/30

G09G 3/20 611H

G09G 3/20 624B

G09G 3/20 641D

テーマコード (参考)

3K007

5C080

審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-575365 (P2003-575365)
 (86) (22) 出願日 平成14年9月19日 (2002.9.19)
 (85) 翻訳文提出日 平成16年9月7日 (2004.9.7)
 (86) 国際出願番号 PCT/KR2002/001783
 (87) 国際公開番号 W02003/077229
 (87) 国際公開日 平成15年9月18日 (2003.9.18)
 (31) 優先権主張番号 2002/12510
 (32) 優先日 平成14年3月8日 (2002.3.8)
 (33) 優先権主張国 韓国 (KR)

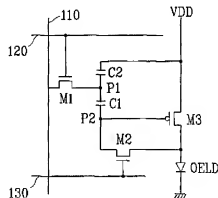
(71) 出願人 503447036
 サムスン エレクトロニクス カンパニー
 リミテッド
 大韓民国キョンギド、スウォンシ、ヨ
 ンソンク、マエタンドン 416
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100076691
 弁理士 増井 忠武
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男
 (74) 代理人 100096013
 弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】 有機エレクトロルミネッセンス表示装置及びその駆動方法

(57) 【要約】

有機 E L 表示装置において、画素回路は、有機 E L 素子、第 1 及び第 2 スイッチング素子、駆動用薄膜トランジスタ及びキャパシタを含む。第 1 スイッチング素子は、走査線に印加される選択信号に応答してデータ線に印加されるデータ電圧をスイッチングし、第 2 スイッチング素子は、補償線に印加される補償信号に応答して駆動用薄膜トランジスタのゲートとドレインを接続する。駆動用薄膜トランジスタは、第 1 スイッチング素子を通じてゲートに入力されるデータ電圧に対応して有機 E L 素子に電流を供給し、キャパシタは、駆動用薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持する。この時、データ電圧を印加する前に補償信号を補償線に印加して駆動用薄膜トランジスタのゲートとドレインを接続してトランジスタの特性偏差を補償し、その後、補償信号を遮断しデータ線にデータ電圧を印加する。このようにすれば、駆動用薄膜トランジスタの特性偏差を補償することができる。



【特許請求の範囲】

【請求項 1】

画像信号を示すデータ電圧を伝達する複数のデータ線、
選択信号を伝達する複数の走査線、
補償信号を伝達する複数の補償線、及び
隣接する 2 つのデータ線と隣接する 2 つの走査線によって定義される画素領域に各々形成される複数の画素回路
を含み、

前記画素回路は、

印加される電流の量に対応する光を発光する有機エレクトロルミネッセンス (E L) 素子、 10

前記走査線に印加される前記選択信号に応答して、前記データ線に印加される前記データ電圧をスイッチングするための第 1 スwitching 素子、

前記第 1 スwitching 素子を通じてゲートに入力される前記データ電圧に対応して、前記有機 E L 素子に電流を供給する第 1 薄膜トランジスタ、

前記補償線に印加される前記補償信号に応答して前記第 1 薄膜トランジスタがダイオード機能を行うようにスイッチングする第 2 スwitching 素子、及び

前記第 1 薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するための第 1 キャパシタ
を含む有機 E L 表示装置。 20

【請求項 2】

前記データ電圧が前記データ線に印加される前に、前記補償信号が前記補償線に印加される請求項 1 に記載の有機 E L 表示装置。

【請求項 3】

前記補償線に印加される前記補償信号が遮断された後に、前記データ電圧が前記データ線に印加される請求項 2 に記載の有機 E L 表示装置。

【請求項 4】

R (赤)、G (緑)、B (青) の画素毎に、前記第 1 薄膜トランジスタに各々異なる電源電圧が接続される請求項 1 に記載の有機 E L 表示装置。

【請求項 5】

前記第 1 キャパシタに直列に接続され、前記データ電圧が印加される間、前記第 1 薄膜トランジスタのゲートに印加される電圧を一定に維持するための第 2 キャパシタをさらに含む請求項 1 に記載の有機 E L 表示装置。 30

【請求項 6】

前記第 1 スwitching 素子は、前記走査線に接続されるゲート及び前記データ線と前記キャパシタに各々接続される 2 つの端子を 3 端子として持つ第 2 薄膜トランジスタであり、

前記第 2 スwitching 素子は、前記補償線に接続されるゲート及び前記第 1 薄膜トランジスタのゲート及びドレインに各々接続される 2 つの端子を 3 端子として持つ第 3 薄膜トランジスタである請求項 1 に記載の有機 E L 表示装置。 40

【請求項 7】

前記第 1 薄膜トランジスタは第 1 導電タイプのトランジスタであり、前記第 2 及び第 3 薄膜トランジスタは第 2 導電タイプのトランジスタである請求項 6 に記載の有機 E L 表示装置。

【請求項 8】

前記第 2 及び第 3 薄膜トランジスタは、互いに異なる導電タイプのトランジスタである請求項 6 に記載の有機 E L 表示装置。

【請求項 9】

前記第 1 ～第 3 薄膜トランジスタは、同じ導電タイプのトランジスタである請求項 6 に記載の有機 E L 表示装置。 50

【請求項 10】

複数のデータ線、前記複数のデータ線と交差する複数の走査線、及び隣接する2つのデータ線と隣接する2つの走査線によって画定される画素領域に各々形成され、有機エレクトロルミネッセンス（EL）素子に電流を供給する薄膜トランジスタを有する複数の画素回路を含む有機EL表示装置を駆動する方法において、

前記複数の画素回路のうちの特定の画素回路を選択する選択信号を前記走査線に印加するステップ、

前記走査線に平行な補償線を通じて、前記薄膜トランジスタがダイオード機能を行うようにスイッチングする補償信号を前記画素回路に印加するステップ、

前記補償信号を遮断し、前記データ線に画像信号を示すデータ電圧を印加するステップ、及び

前記印加されたデータ電圧を前記薄膜トランジスタのゲートに伝達して前記有機EL素子に電流を供給するステップ

を含む有機EL表示装置駆動方法。

【請求項 11】

前記選択信号が前記補償信号よりも先に印加される請求項10に記載の有機EL表示装置駆動方法。

【請求項 12】

前記選択信号が前記補償信号と同時に印加される請求項10に記載の有機EL表示装置駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス（以下、ELと称す）表示装置とその駆動方法に関する。

【背景技術】

【0002】

一般に、有機EL表示装置は、蛍光性有機化合物を電気的に励起させて発光させる表示装置であって、 $M \times N$ 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現するようになっている。このような有機発光セルは、アノード（ITO）、有機薄膜、カソードレイヤ（metal）の構造を有している。有機薄膜は、電子と正孔の均衡を良くして発光効率を向上させるために、発光層（EML）、電子輸送層（ETL）及び正孔輸送層（HTL）を含む多層構造からなり、さらに別の電子注入層（EIL）と正孔注入層（HIL）を含む。

このような構成の有機発光セルの駆動方式には、単純マトリクス方式（すなわち受動マトリクス方式）とTFTを用いる能動マトリクス方式がある。単純マトリクス方式は、正極と負極が直するように形成し、ラインを選択して駆動するのに対し、能動マトリクス方式は、TFTとコンデンサを各ITO画素電極に接続し、コンデンサ容量によって電圧を維持させる駆動方式である。

【0003】

図11は、有機EL素子をTFTを用いて駆動するための従来の画素回路であって、 $M \times N$ 個の画素のうちの1つを代表的に示したものである。図11を参照すれば、有機EL素子OLEDに駆動用トランジスタ11bが接続され発光のための電流を供給する。駆動用トランジスタ11bの電流量は、スイッチングトランジスタ11aを通じて印加されるデータ電圧によって制御される。この時、印加された電圧を一定期間維持するためのキャパシタCがトランジスタ11bのソースとゲートの間に接続されている。トランジスタ11aのゲートには走査線が接続され、ソース側にはデータ線が接続されている。

【0004】

このような構造の画素の動作を見ると、スイッチングトランジスタ11aのゲートに印加される選択信号に基づいてトランジスタ11aがオンになると、データ線を通じてデータ電圧 V_D

AT_Aが駆動用トランジスタM_bのゲート（ノードA）に印加される。そして、ゲートに印加されるデータ電圧V_{DATA}に対応してトランジスタM_bを通じて有機EL素子OLEDに電流が流れ、発光が行われる。この時、有機EL素子に流れる電流は、次の式（1）の通りである。

$$I_{OLED} = \beta / 2 \cdot (V_{GS} - V_{TH})^2 \\ = \beta / 2 \cdot (VDD - V_{DATA} - V_{TH})^2 \quad (1)$$

ここで、I_{OLED}は有機EL素子に流れる電流、V_{GS}はトランジスタM_bのソースとゲートの間の電圧、V_{TH}はトランジスタM_bのしきい電圧、V_{DATA}はデータ電圧、βは定数値を示す。

式（1）に示したように、図11に示した画素回路によれば、印加されるデータ電圧V_{DATA}に対応する電流が有機EL素子OLEDに供給され、供給された電流に対応して有機EL素子が発光する。この時、印加されるデータ電圧V_{DATA}は、階調を表現するために一定範囲で多値を有する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、このような従来の画素回路において、製造工程の不均一性のため、生じる薄膜トランジスタの特性偏差によってパネルの輝度が不均一になる問題点がある。

このような問題点を補償するために、追加の薄膜トランジスタを用いる画素回路が提案されている。しかし、このような画素回路の場合、薄膜トランジスタの個数が増加して開口率が減少し、低い階調でキャパシタの充電に長時間を要するという問題点がある。

本発明の技術的課題は、駆動用薄膜トランジスタの特性偏差を補償する画素回路を提供することにある。また、本発明はキャパシタの充電に要する時間を減らすことを技術的課題とする。

【課題を解決するための手段】

【0006】

このような課題を解決するために、本発明は、画素回路に補償用トランジスタを追加して形成する。

本発明の一特徴によれば、複数のデータ線、複数の走査線、複数の補償線及び隣接する2つのデータ線と隣接する2つの走査線によって画定される画素領域に各々形成される複数の画素回路を含む有機EL表示装置が提供される。データ線は、画像信号を示すデータ電圧を伝達し、走査線は選択信号を伝達し、補償線は補償信号を伝達する。

【0007】

この時、画素回路は、有機EL素子、第1及び第2スイッチング素子、第1薄膜トランジスタ及びキャパシタを含む。有機EL素子は、印加される電流の量に対応する光を発光する。第1スイッチング素子は、走査線に印加される選択信号に応じてデータ線に印加されるデータ電圧をスイッチングし、第2スイッチング素子は、補償線に印加される補償信号に応じて第1薄膜トランジスタのゲートとドレインを接続する。第1薄膜トランジスタは、第1スイッチング素子を通じてゲートに入力されるデータ電圧に対応して有機EL素子に電流を供給し、キャパシタは、第1薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持する。

【0008】

ここで、データ電圧がデータ線に印加される前に、補償信号が補償線に印加され、補償線に印加される補償信号が遮断された後に、データ電圧がデータ線に印加されることが好ましい。

また、R（赤）、G（緑）、B（青）の画素ごとに、第1薄膜トランジスタのソースに各々異なる電源電圧が接続されることが好ましい。

さらにまた、画素回路は、データ電圧が印加される間、第1薄膜トランジスタのゲートに印加される電圧を一定に維持するための第2キャパシタをさらに含むことができ、この第2キャパシタは、第1キャパシタに直列に接続されることが好ましい。

【0009】

10

20

30

40

50

第1スイッチング素子は、走査線に接続されるゲート及びデータ線とキャパシタに各々接続される2つの端子を3端子として持つ第2薄膜トランジスタであり、第2スイッチング素子は、補償線に接続されるゲート及び第1薄膜トランジスタのゲート及びドレインに各々接続される2つの端子を3端子として持つ第3薄膜トランジスタであることが好ましい。

この時、第1薄膜トランジスタは、第1電導タイプのトランジスタであり、第2及び第3薄膜トランジスタは、第2電導タイプのトランジスタであることができる。もしくは、第1薄膜トランジスタは、第1電導タイプのトランジスタであり、第2及び第3薄膜トランジスタは、互いに異なる電導タイプのトランジスタであることができる。もしくは、第1～第3薄膜トランジスタが、同じ電導タイプのトランジスタであることができる。

10

【0010】

本発明の他の特徴によれば、このような有機EL表示装置を駆動する方法が提示できる。この駆動方法によれば、まず複数の画素回路のうちの特定の画素回路を選択する選択信号を走査線に印加する。そして、走査線に平行な補償線を通じて薄膜トランジスタのゲートとドレインを接続するようにスイッチングする補償信号を画素回路に印加する。次に、補償信号を遮断し、データ線に画像信号を示すデータ電圧を印加し、印加されたデータ電圧を薄膜トランジスタのゲートに伝達して有機EL素子に電流を供給する。

この時、選択信号を補償信号よりも先に印加したり、あるいは選択信号を補償信号と同時に印加することができる。

【発明を実施するための最良の形態】

20

【0011】

以下、添付した図面を参照して、本発明の実施例を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように、詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

本発明の実施例による有機EL表示装置及びその駆動方法について、図面を参考にして詳細に説明する。まず、図1を参照して本発明の実施例による有機EL表示装置について説明する。

【0012】

図1は、本発明の実施例による有機EL表示装置の概略的な平面図である。図1に示したように、本発明の実施例による有機EL表示装置は、有機EL表示装置パネル100、走査ドライバ200及びデータドライバ300を含む。

30

有機EL表示装置パネル100は、画像信号を示すデータ電圧を伝達する複数のデータ線110、選択信号を伝達するための複数の走査線120、補償信号を伝達するための複数の補償線130及び複数の画素回路140を含む。画素回路140は、隣接する2つのデータ線110と隣接する2つの走査線120によって画定される画素領域に設けられている。なお、画素回路140は、R、B、Bごとに各々異なる電源 V_{DDR} 、 V_{DDG} 、 V_{DDB} 電圧が印加される。

走査ドライバ200は、走査線120に選択信号を印加する走査駆動部220及び補償線130に補償信号を印加する走査駆動部230を含み、データ駆動部300は、データ線110に画像信号を示すデータ電圧 V_{DATA} を印加する。

40

【0013】

以下、図2～図10を参照して、本発明の実施例による有機EL表示装置の画素回路について詳しく説明する。

図2は、本発明の第1実施例による画素回路の概略的な回路図であり、図3は、本発明の第1実施例による画素回路に対する駆動タイミング図である。図4Aは、本発明の第1実施例による画素回路における駆動用トランジスタの電流-電圧特性曲線と有機EL素子の電流-電圧特性曲線を示すものであり、図4Bは、一般的なトランジスタの電流-電圧特性曲線と有機EL素子の電流-電圧特性曲線を示すものである。

図2に示したように、本発明の第1実施例による画素回路140は、有機EL素子OELD、スイッチングトランジスタM1、補償用トランジスタM2、駆動用トランジスタM3及び

50

キャパシタC1、C2を含む。

有機EL素子OELDは、印加される電流の量に対応する光を発光し、トランジスタM3は、電源VDDにソースが接続され、有機EL素子OELDにドレインが接続され、ゲートに印加されるデータ線から供給されるデータ電圧に対応する電流を有機EL素子OELDに供給する。

【0014】

トランジスタM1は、走査線120に接続されたゲート、データ線110に接続されたドレイン及びキャパシタC1、C2の間のノードP1に接続されたソースを3端子として持ち、走査線に印加される選択信号SEL1に反応してデータ電圧 V_{DATA} をトランジスタM3に伝達する。トランジスタM2は、トランジスタM3のゲート及びドレインに各々ドレイン及びソースが接続され、ゲートが補償線130に接続されて補償信号SEL2に反応して、トランジスタM3の特性を補償する役割をする。

キャパシタC2、C1は、電源VDDとトランジスタM2のゲートの間に直列に接続されており、トランジスタM3のゲートに印加されるデータ電圧を一定期間維持する。キャパシタC2は、電源VDDとトランジスタM1のドレインの間に設けられる。

本発明の第1実施例による画素回路の動作を図3及び図4を参照して説明する。

図3に示すように、まず初期化ステップS1として、選択信号SEL1がハイレベルになりトランジスタM1がオン状態になれば、ノードP1の電圧がデータ電圧の初期電圧 V_{DATA_IN} に設定される。

【0015】

次に、補償ステップS2として、トランジスタM1がターンオンされた状態で補償信号SEL2がハイレベルになりトランジスタM2がターンオンされると、トランジスタM3はゲートとドレインが接続（ダイオード接続）されダイオードとして機能する。電源VDDと接地電圧の間の電流経路には2つのダイオードM3、OELDが直列に接続され、ノードP2の電圧は、トランジスタM3の特性によって決定される特性電圧 V_c となる。したがって、キャパシタC1には、ノードP1とノードP2の間の電圧差であるデータ電圧の初期電圧 V_{DATA_IN} と特性電圧 V_c の差（ $V_{DATA_IN} - V_c$ ）が保存される。

【0016】

このような補償ステップS2において、トランジスタM3のゲートとドレインが接続されてダイオード機能として動作するので、トランジスタM3の電流-電圧特性曲線は、図4AのグラフG1、G2のようになる。そして、有機EL素子OELDの電流-電圧特性曲線は、図4AのグラフG0のようになる。トランジスタM3の電流-電圧特性曲線と有機EL素子OELDの電流-電圧特性曲線の交点で有機EL素子OELDの駆動条件が決定される。したがって、補償ステップで初期設定が行われると、トランジスタM3の特性偏差による電流偏差は（I2-I1）になる。

しかし、従来のように、トランジスタM3のゲートとドレインが接続されない場合の一般的な電流-電圧特性曲線は、図4BのグラフG3、G4のように、ゲートとソースの間の電圧 V_{GS} の値によって大きい偏差が生じる。ここで、有機EL素子OELDの駆動条件が決定される地点におけるトランジスタM3の特性偏差による電流偏差は（I4-I3）になる。これは、前記のI2-I1よりも大きい値である。

【0017】

次に、データ電圧印加ステップS3として、補償信号SEL2をローレベルに設定してトランジスタM2を遮断し、データ電圧を印加してトランジスタM3を駆動する。この時、キャパシタC1には補償ステップで特性電圧 V_c が充電されているので、トランジスタM3のスイッチング時間が減少する。トランジスタM3が駆動すると、データ電圧に対応して、トランジスタM3を通じて有機EL素子OELDに電流が流れて発光が行われる。

また、R（赤）、G（緑）、B（青）発光をする有機EL素子OELDの特性は各々異なるので、トランジスタM3の面積と電源VDDの電圧をR、G、Bの各々に対して独立に決定する必要がある。

【0018】

10

20

30

40

50

図2に示す本発明の第1実施例の画素回路では、スイッチングトランジスタM1及び補償用トランジスタM2をNMOS型トランジスタで、駆動用トランジスタM3をPMOS型トランジスタで表示したが、トランジスタM1、M2、M3として他の型のトランジスタを用いることもできる。以下で、このような実施例について図5～図10を参照して説明する。

【0019】

図5は、本発明の第2実施例による画素回路の概略的な回路図であり、図6は、本発明の第2実施例による画素回路に対する駆動タイミング図である。

図5に示すように、本発明の第2実施例による画素回路は、電流供給用トランジスタM1がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図6に示すように、走査線を選択するための選択信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

【0020】

図7は、本発明の第3実施例による画素回路の概略的な回路図であり、図8は、本発明の第3実施例による画素回路に対する駆動タイミング図である。

図7に示すように、本発明の第3実施例による画素回路は、補償用トランジスタM2がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図8に示すように、補償用トランジスタM2を導通させるための補償信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

【0021】

図9は、本発明の第4実施例による画素回路の概略的な回路図であり、図10は、本発明の第4実施例による画素回路に対する駆動タイミング図である。

図9に示したように、本発明の第4実施例による画素回路は、電流駆動用トランジスタM1及び補償用トランジスタM2がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図10に示すように、走査線を選択するための選択信号及び補償用トランジスタM2を導通させるための補償信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

第2～第4実施例による画素回路及びその駆動方法は、図2～図4を参照して、本発明の第1実施例の説明により本発明の属する技術分野における通常の知識を有する者が容易に理解できる内容であるので、重複する説明は省略する。

【0022】

このように、本発明の第1～第4実施例において、初期化ステップ、補償ステップ及びデータ電圧印加ステップの3つのステップからなるが、初期化ステップは省略できる。

そして、本発明では、駆動用トランジスタM3としてPMOS型トランジスタを用いたが、駆動用トランジスタM3としてNMOS型トランジスタを用いても良い。NMOS型トランジスタを用いる場合の回路構成及び駆動は、本発明の第1～第4実施例の説明により本発明の属する技術分野における通常の知識を有する者が容易に理解できる内容であるので、説明を省略する。

このように本発明によれば、駆動用薄膜トランジスタの特性偏差による輝度不均一性を補償することができ、キャパシタには補償ステップで電圧が充電されているので、トランジスタのスイッチング時間が減少する。

【0023】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

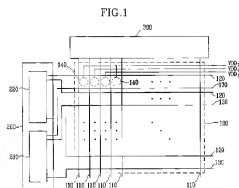
【図面の簡単な説明】

【0024】

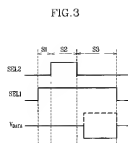
- 【図 1】 本発明の実施例による有機 E L 表示装置の概略的な平面図である。
- 【図 2】 本発明の第 1 実施例による画素回路の概略的な回路図である。
- 【図 3】 本発明の第 1 実施例による画素回路に対する駆動タイミング図である。
- 【図 4 A】 本発明の第 1 実施例による画素回路における駆動用トランジスタの電流-電圧特性曲線と有機 E L 素子の電流-電圧特性曲線を示すものである。
- 【図 4 B】 一般的なトランジスタの電流-電圧特性曲線と有機 E L 素子の電流-電圧特性曲線を示すものである。
- 【図 5】 本発明の第 2 実施例による画素回路の概略的な回路図である。
- 【図 6】 本発明の第 2 実施例による画素回路に対する駆動タイミング図である。
- 【図 7】 本発明の第 3 実施例による画素回路の概略的な回路図である。
- 【図 8】 本発明の第 3 実施例による画素回路に対する駆動タイミング図である。
- 【図 9】 本発明の第 4 実施例による画素回路の概略的な回路図である。
- 【図 10】 本発明の第 4 実施例による画素回路に対する駆動タイミング図である。
- 【図 11】 従来技術による有機 E L 表示装置の画素回路の概略的な回路図である。

10

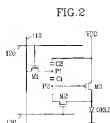
【図 1】



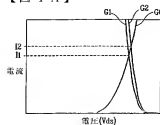
【図 3】



【図 2】

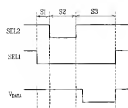


【図 4 A】



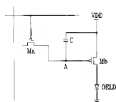
【図 10】

FIG.10





【図 11】

FIG.11



【国際調査報告】

INTERNATIONAL SEARCH REPORT		national application No. PC77KR02/01783
A. CLASSIFICATION OF SUBJECT MATTER IPC7 G09G 3/30 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC7G09G, H01J Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched KR:IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, PAJ, PATROM, KPA SINCE 1975 *COMPWNSAT**SWITCH***ORGANIC**ILLUMI**		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 1998/48403 (SARNOFF CORP.) 29 OCT. 1998 WHOLE DOCUMENT	1-12
Y	WO 1999/48078 (SEIKO EPSON CORPORATION) 23 SEP. 1999 WHOLE DOCUMENT	1-12
A	KR 2000-71301 (NEC CORP.) 25 NOV. 2000 WHOLE DOCUMENT	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents. "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "X" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "Y" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Z" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 16 DECEMBER 2002 (16.12.2002)		Date of mailing of the international search report 16 DECEMBER 2002 (16.12.2002)
Name and mailing address of the ISA/ICR  Korea Intellectual Property Office 920 Dunsan-dong, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer KIM, Joou Han Telephone No. 82-42-481-5675 

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(51)Int.Cl.⁷

F 1

デマコード (参考)

G 0 9 G 3/20 6 4 2 J

H 0 5 B 33/14 A

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DH,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 チョイ, ペオムラク

大韓民国 1 3 5-9 6 8 ソウル, カンナムク, ダエチ 1-ドゥン, サムスン・アパートメント 1 1 2-5 0 8

(72)発明者 チョイ, ジュンフー

大韓民国 1 2 0-7 6 8 ソウル, セオダエムンク, ヤンチェオンードン, サンホ・アパートメント 1 0 8-3 0 3

(72)発明者 チャエ, チョンチュル

大韓民国 1 2 1-7 6 5 ソウル, マボーク, シンゴンドウクードン, サムスン・アパートメント 1 0 2-1 0 0 4

(72)発明者 ミン, ウンキョ

大韓民国 4 7 2-9 0 8 キュンギード, ナムヤンジュ市, ワプーアップ, ドゴケリ 1 0 1 2, ハンガン・ウースン・アパートメント 1 1 4-2 0 2

(72)発明者 シン, キョンジュ

大韓民国 4 4 9-9 0 4 キュンギード, ヤンギン市, キヘウンアップ, ボラーリ 2 8 9-1 2, サムジェオン・セオンピ・マウル 1 0 2-5 0 4

Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA00 GA04

5C080 AA06 BB05 CC03 DD05 EE29 EE30 FF11 JJ02 JJ03 JJ04

JJ05